

**This Page Is Inserted by IFW Operations
and is not a part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- **BLACK BORDERS**
- **TEXT CUT OFF AT TOP, BOTTOM OR SIDES**
- **FADED TEXT**
- **ILLEGIBLE TEXT**
- **SKEWED/SLANTED IMAGES**
- **COLORED PHOTOS**
- **BLACK OR VERY BLACK AND WHITE DARK PHOTOS**
- **GRAY SCALE DOCUMENTS**

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

2
5-2-02
Mullish

1c872 U.S. PTO
10/076237
02/13/02

대한민국 특허청

KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 : 특허출원 2001년 제 8111 호
Application Number

출원 년 월 일 : 2001년 02월 19일
Date of Application

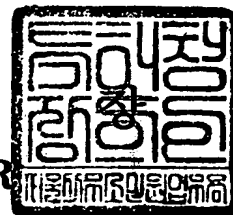
출원인 : 삼성전자 주식회사
Applicant(s)



2001 년 03 월 06 일

특 허 청

COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2001.02.19
【발명의 명칭】	에스오아이 기판 및 이의 제조방법
【발명의 영문명칭】	SOI Substrate and Method of Manufacturing Thereof
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	박영우
【대리인코드】	9-1998-000230-2
【포괄위임등록번호】	1999-030203-7
【발명자】	
【성명의 국문표기】	장태호
【성명의 영문표기】	JANG, Tae Ho
【주민등록번호】	700428-1122622
【우편번호】	442-726
【주소】	경기도 수원시 팔달구 영통동 970-3 벽적골 주공아파트 912동 802호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박영우 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	8 면 8,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	16 항 621,000 원
【합계】	658,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

안정성이 향상된 SOI 기판 및 이의 제조방법이 개시되어 있다. 이러한 SOI 기판은 상부에 활성 영역과 필드 영역을 포함하는 실리콘 기판, 상기 활성 영역의 하부, 실리콘 기판의 표면으로부터 소정의 제1 깊이를 갖는 제1 영역에 제1 두께로 형성된 제1 산소 이온 주입 영역 및 상기 필드 영역의 하부, 실리콘 기판의 표면으로부터 소정의 제2 깊이를 갖는 제2 영역에 상기 제1 두께보다 두꺼운 제2 두께로 형성된 제2 산소 이온 주입 영역을 포함한다. 이러한 SOI 기판은 하나의 희생막 패턴을 사용하여 연속적인 두 번의 이온 주입 공정을 수행함으로써 제조될 수 있다. 이러한 공정을 수행함으로써 활성 영역과 필드 영역도 동시에 형성할 수 있게 되므로 공정 자체가 단순화된다. 또한 상기한 활성 영역의 구획은 희생막 패턴을 이용한 이온 주입 공정을 수행함으로써 가능하므로, 그 제조가 매우 용이하며 다양한 형상의 활성 영역 형성이 가능하다.

【대표도】

도 2

【명세서】

【발명의 명칭】

에스오아이 기판 및 이의 제조방법{SOI Substrate and Method of Manufacturing Thereof}

【도면의 간단한 설명】

도 1a 내지 1d는 종래의 방법에 따른 SOI 기판 및 활성영역의 제조방법을 설명하기 위한 단면도이다.

도 2는 본 발명에 따른 SOI 기판을 나타내는 단면도이다.

도 3a 내지 3d는 본 발명에 따른 SOI 기판의 제조방법을 설명하기 위한 단면도이다

도 4는 본 발명의 일실시예에 따른 SOI 기판에서 활성영역과 필드영역을 나타내기 위한 상면도이다.

도 5는 본 발명의 다른 실시예에 따라 제조된 SOI 기판의 활성영역을 나타내는 상면도이다.

도 6은 본 발명의 또 다른 실시예에 따라 제조된 SOI 기판의 활성영역을 나타내는 상면도이다.

도 7은 도 5에 나타난 활성영역을 예로하여 본 발명의 효과를 설명하기 위하여 나타낸 정면도이다.

<도면의 주요 부분에 대한 부호의 설명>

110: 하부 실리콘 기판

130: 상부 실리콘 기판

140: 산화막

142: 제1 산소 이온 주입 영역

144: 제2 산소 이온 주입 영역

150: 활성영역

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<15> 본 발명은 SOI(silicon on insulator) 기판 및 이의 제조방법에 관한 것으로서, 상세하게는 SIMOX(separation by implanted oxygen) 방법에 의해 제조되는 SOI 기판 및 단순화된 공정을 적용하는 것에 의해 활성 영역까지 동시에 형성 가능한 SOI 기판의 제조방법에 관한 것이다.

<16> 반도체 장치가 초고집적화 되면서 기생 커패시턴스에 의한 접합 영역의 누설 전류는 소자의 전력 소모를 상당히 크게 하여 하이 스피드와 저전력을 요구하는 반도체 장치의 제조에 걸림돌이 되고 있다.

<17> 특히, 반도체 장치에서 가장 많은 부분을 차지하는 트랜지스터의 채널 길이가 0.5 μm 이하로 미세화 됨에 따라 기판의 농도는 오히려 증가되어 모스 트랜지스터의 소오스, 드레인 전극의 접합 커패시턴스와 누설 전류가 증가되어 기생 커패시턴스 및 전력의 소모가 증가하게 되었다. 이에 따라, 접합 커패시턴스, 기생 커패시턴스 및 누설 전류를 극소화하여 반도체 장치의 하이 스피드와 저전력을 실현하

기 위하여 SOI 기판의 사용이 대두되었다.

<18> SOI 기판을 제조하는 방법은 다양하게 많이 알려져 있다. 일반적으로 사용되는 방법은 크게 두 가지가 있는데, 먼저, 실리콘 기판의 소정 깊이에 산소 원자를 이온 주입하여 기판의 일정 깊이 내부로 산소 원자가 침투되게 한 후, 어닐링 공정을 수행하여 SOI 기판을 형성하는 SIMOX 방법이 있다. 다음으로는 웨이퍼 상에 절연막을 형성한 후 웨이퍼를 서로 접합하고 에치백하는 방법이 있다.

<19> 종래의 SIMOX 방법에 의한 SOI 기판의 제조 방법 및 이를 사용한 활성 영역의 형성 방법을 도 1a 내지 1d를 참고로 하여 상세히 설명하면 다음과 같다.

<20> 도 1a 내지 1d에는 종래의 방법에 따른 SOI 기판 및 활성영역의 제조방법을 설명하기 위한 단면도를 나타내었다. 활성영역은 STI(shallow trench isolation) 구조를 갖도록 형성하고 있다.

<21> 도 1a를 참고하면, 웨이퍼에 소정의 에너지와 도즈량으로 산소 이온을 주입하고 열처리하여 일명 배리드 산화막(buried oxide layer; 20)을 형성하는 것에 의해 하부 기판(10), 산화막(20) 및 SOI 막(30) 으로 이루어지는 SOI 기판을 제조하도록 한다.

<22> 도 1b를 참고로 하면, SOI 막(30) 상에 포토레지스트를 도포하고 건조시켜 포토레지스트막을 형성한 후 통상적인 사진식각 공정을 수행함으로써 소정의 형상으로 패터닝하여 이후 필드 영역이 형성될 기판의 표면을 노출시키기 위한 포토레지스트 패턴(42)을 형성하도록 한다.

<23> 도 1c를 참고로 하면, 포토레지스트 패턴(42)을 식각 마스크로 하여 하부막

인 SOI 막(30)을 이방성 식각하여 필드 영역이 형성될 부분에 트랜치 형상의 식각부를 형성하고, 이후 포토레지스트 패턴(42)을 제거하여 활성 영역이 될 부분에 SOI 막 패턴(32)을 형성하도록 한다.

<24> 도 1d를 참고로 하면, 트랜치 형상으로 식각된 부분에 USG 등과 같은 절연물을 채워 활성 영역(32)과 필드 영역(34)을 형성하도록 한다. 이후, 활성 영역(32) 상에 게이트 절연막과 게이트 전극을 형성한 다음, 노출된 기판 부분에 이온 주입 방법에 의하여 소오스, 드레인 전극을 형성하여 SOI 기판상에 MOS 트랜지스터를 형성하게 된다.

<25> 이와 같은 방식으로 SOI 기판을 형성하고, 절연막 상부에 형성된 활성 영역 상에 모스 트랜지스터의 기본 전극을 구성하면, 모스 트랜지스터의 소오스, 드레인 전극은 활성 영역의 실리콘막 하부에 형성된 절연막과 접하게 되어 접합 하부의 접합 커패시턴스와 누설 전류가 거의 존재하지 않게 된다. 이에 따라 소자의 저전력 및 하이 스피드를 실현할 수 있게 되며 소자와 소자간의 절연 또한 하부에 위치하는 절연막에 의하여 거의 완벽하게 이를 수 있게 된다.

<26> SIMOX를 이용한 SOI 기판의 다양한 제조 방법이 다음과 같이 개시되어 있다.

<27> 일특개평 8-167646호에서는 두 종류 이상의 상이한 막두께의 실리콘 단결정 박막을 갖는 SIMOX 기판을 제조하는 방법을 개시하고 있다. 이는 실리콘 단결정 기판상의 소망의 영역에 실리콘 산화막 마스크를 부분적으로 배치한 후, 산소 이온을 주입하고 고온 열처리를 수행하는 것에 의해 구현하고 있다.

<28> 일특개평 4-67649호에서도 SOI 기판의 소자분리 영역의 형성 방법을 개시하고 있다. 이 기술에 의하면 반도체층 상에 절연막을 형성하고, 형성된 절연막을 패터닝하여 절연

막 패턴을 형성한 다음, 이 절연막 패턴을 마스크로 하여 산소 이온을 주입하도록 한다.

<29> 그런데, 상기한 방법에 의하면, SOI 기판을 형성하기 위하여 산소 이온을 주입하고, 열처리 공정을 수행한 다음, 다시 소자간의 분리를 위하여 국부적 산화 방식 (LOCOS)을 적용하거나 트렌치 산화막 등을 형성해야 하기 때문에, 공정이 복잡하고 번거롭다는 문제가 있다.

<30> 또한 SOI 기판을 형성하는 다른 방법인 절연막이 형성된 웨이퍼를 서로 접합하고 에치백하는 방법에 의하면, 산화막이 형성된 두 장의 웨이퍼를 고온에서 접착시킨 후, 한쪽을 연마하는 기술을 사용하게 된다. 그런데 이 경우 웨이퍼의 접착시 고온하에서의 열처리가 요구되고 접합 부위에 빈공간(void)이 발생하는 문제점이 있다. 또한 웨이퍼를 연마하는 단계가 요구되므로 공정이 복잡하고 어렵다는 단점이 있다.

【발명이 이루고자 하는 기술적 과제】

<31> 본 발명의 목적은 상기한 종래 기술의 문제점을 감안하여 용이한 방법에 의해 형성될 수 있으며 누설전류가 저감되고 안정성이 향상된 SOI 기판을 제공하는 것이다.

<32> 본 발명의 다른 목적은 2회의 산소 이온 주입 공정을 연속적으로 수행하고 열처리하는 것에 의해 SOI 기판을 용이하게 제조함과 동시에 활성영역도 형성할 수 있는 방법을 제공하는 것이다.

【발명의 구성 및 작용】

<33> 상기한 목적을 달성하기 위하여, 본 발명에서는

<34> 상부에 활성 영역과 필드 영역을 포함하는 실리콘 기판;

- <35> 상기 활성 영역의 하부, 실리콘 기판의 표면으로부터 소정의 제1 깊이를 갖는 제1 영역에 제1 두께로 형성된 제1 산소 이온 주입 영역; 및
- <36> 상기 필드 영역의 하부, 실리콘 기판의 표면으로부터 소정의 제2 깊이를 갖는 제2 영역에 상기 제1 두께보다 두꺼운 제2 두께로 형성된 제2 산소 이온 주입 영역을 포함하는 SOI 기판을 제공한다.
- <37> 상기한 본 발명의 다른 목적은
- <38> 실리콘 기판의 상부, 활성 영역이 형성될 소정의 영역상에 희생막 패턴을 형성하는 단계;
- <39> 상기 희생막 패턴이 형성된 실리콘 기판의 전면에서 제1 에너지와 도즈량으로 제1 산소 이온 주입 공정을 수행하여 상기 실리콘 기판 내의 소정 영역에 띠형상으로 제1 산소 이온 주입 영역을 형성하는 단계;
- <40> 상기 제1 산소 이온 주입 공정의 수행후, 상기 제1 에너지 보다 적은값의 제2 에너지와 도즈량으로 제2 산소 이온 주입 공정을 수행하여, 상기 희생막 패턴에 의해 노출된 기판의 상부, 상기 제1 산소 이온 주입 영역 상에 제2 산소 이온 주입 영역을 형성하는 단계;
- <41> 상기 제2 산소 이온 주입 공정의 수행후, 상기 희생막 패턴을 제거하는 단계; 및
- <42> 상기 희생막 패턴이 제거된 기판을 열처리하여 상기 제1 산소 이온 주입 영역 및 상기 제2 산소 이온 주입 영역을 산화시켜 절연막으로 형성하는 단계를 포함하는 SOI(silicon on insulator) 기판의 제조방법에 의해 달성된다.
- <43> 본 발명에서는 SIMOX 기술을 이용하여 SOI 기판을 형성하되, 동일한 마스크를 사용

하고 2회의 서로 다른 조건으로 산소 이온 주입 공정을 연속적으로 수행하고 열처리하는 것에 의해서 안정성이 향상된 SOI 기판을 용이하게 형성함과 동시에 필드 영역과 활성 영역을 구별하여 형성할 수 있도록 하고 있다.

<44> 이하, 첨부된 도면을 참고로 하여 본 발명을 더욱 상세히 설명하도록 한다.

<45> 도 2는 본 발명에 따른 SOI 기판을 나타내는 단면도이다.

<46> 도 2를 참고하면, 본 발명에 따른 SOI 기판은 크게 하부 실리콘 기판(110), 제1 산소 이온 주입 영역(142) 및 제2 산소 이온 주입 영역(144)으로 이루어진 필드 영역(140) 및 상기 필드 영역(140) 상에 형성된 활성 영역(150)으로 이루어져 있다. 도면을 통하여 알 수 있는 바와 같이, 상기 기판상에 형성된 활성 영역(150)과 필드 영역(140)의 표면을 살펴보면, 필드 영역과 활성 영역간에 굴곡의 차이가 없고 동일 평면상에 형성되어 있다.

<47> 반도체 장치의 제조를 위해서는 기판상에 다수의 물질로 이루어진 다수의 층을 적층하고, 패터닝하며, 식각하는 공정을 수행하게 되므로 기판의 상부 표면이 평면이면, 이후의 공정 진행을 위해 매우 유리하다. 즉, 굴곡으로 인하여 야기되는 결함이 방지되며 굴곡을 줄이기 위해 드는 노력이 감소되는 것이다. 특히, 이러한 평면의 기판상에 게이트 전극을 형성하면 기판의 굴곡으로 인하여 야기되는 각종 불량을 미연에 방지할 수 있으므로 제조되는 소자의 안정성이 크게 향상될 수 있는 것이다.

<48> 상기 필드 영역(140)은 제1 두께(141)를 갖도록 기판의 표면으로부터 제1 깊이(143) 영역에 형성된 제1 산소 이온 주입 영역(142) 및 제2 두께(147)를 갖도록 기판의 표면으로부터 제2 깊이(145) 영역에 형성된 제2 산소 이온 주입 영역(144)으로 이루어져

있다. 상기 제1 이온 주입 영역(142)과 상기 제2 이온 주입 영역(144)은 깊이를 측정하는 기준이 되는 중심부를 중심으로 대칭인 구조를 가지며 제1 두께(141) 보다 상기 제2 두께(147)가 더 두껍게 형성되어 있음을 알 수 있다.

<49> 도면에서, 형성된 각 이온 주입 영역의 깊이, 두께, 활성 영역의 두께 등은 소자의 선폭에 따라, 종류에 따라 다양하게 변할 수 있을 것이다. 다만, 바람직한 조건에 따라 형성된다면, 다음과 같은 조건을 만족하게 될 것이다. 상기 제1 깊이 및 제2 깊이는 동일하며, 구체적으로는 $0.21\mu\text{m}$ 이하의 선폭을 갖는 소자에 대하여 $0.07\sim 0.7\mu\text{m}$ 범위가 되도록 한다. 이하, 구체적인 수치에 대한 한정은 $0.21\mu\text{m}$ 이하의 선폭을 갖는 소자에 대한 것이다. 또한, 바람직하게는 상기 제2 두께가 상기 제1 두께의 2~3.5배가 되도록 하는데, 구체적으로는 상기 제1 두께가 $0.04\sim 0.6\mu\text{m}$ 범위이고, 상기 제2 두께가 $0.14\sim 1.4\mu\text{m}$ 범위가 되도록 한다.

<50> 이러한 조건에 부합되는 SOI 기판은 도면에 나타난 바와 같이 제1 이온 주입 영역(142)이 제2 이온 주입 영역(144)의 중심부분을 연결하도록 형성되며 이로 인하여 인접되는 활성 영역끼리는 절연막에 의해 측면 뿐아니라 하부까지도 완벽하게 분리되는 것이다.

<51> 이러한 SOI 기판을 제조하는 방법을 도 3a 내지 3d를 참고로 하여 설명하기로 한다. 도 3a 내지 3d는 본 발명에 따른 SOI 기판의 제조방법을 설명하기 위하여 나타낸 단면도들이다.

<52> 도 3a를 참고하면, 먼저 웨이퍼(100) 상에 포토레지스트 조성물을 도포하고 이를 패터닝하여 소정의 포토레지스트 패턴(112)을 형성하도록 한다. 이러한 포토레지스트 패턴(112)은 하부 웨이퍼(100) 내에 이온 주입 공정을 수행하기 위한 희생막 패턴으로서

사용되는데, 이러한 목적을 위하여는 포토레지스트 패턴 뿐 아니라 폴리이미드막 패턴, SOG막 패턴 등과 같이 실리콘 또는 실리콘 산화막과 식각비의 차가 큰 막이면 어느 막패턴이든지 사용될 수 있다.

<53> 상기 희생막 패턴은 상기 제1 산소 이온 주입 공정의 수행시에는 산소 이온이 상기 희생막을 통과하고, 상기 제2 산소 이온 주입 공정의 수행시에는 산소 이온이 상기 희생막을 통과하지 못하는 정도의 두께로 형성하도록 하는데, 구체적으로는 $0.05 \sim 0.5 \mu\text{m}$ 두께 범위가 되도록 한다.

<54> 도 3b를 참고하면, 형성된 포토레지스트 패턴(112)을 이용하여 소정의 조건에 따라 이온 주입기를 이용하여 제1 산소 이온 주입 공정을 수행하도록 한다. 이에 따라 웨이퍼(100) 내에는 불순물로서 산소 이온이 주입되는데, 포토레지스트 패턴(112)이 형성된 영역과 형성되지 않은 영역에 따라 이온 주입 깊이에 차이가 생기게 된다. 즉, 웨이퍼 전면에 포토레지스트층이 형성되어 있다면 점선으로 표시된 가상 이온 주입 영역(125)에 불순물이 주입되지만, 웨이퍼상에 부분적으로 포토레지스트 패턴(112)이 형성되어 있기 때문에 포토레지스트 패턴(112)의 형성 유무에 따라 상이한 깊이를 갖는 두 이온 주입 영역이 연속적인 띠 형상으로 형성된다.

<55> 이는 주어진 조건에 따라 주입된 이온이 포토레지스트 패턴(112)에 의해 블락킹되어 더 얇은 영역에 이온 주입 영역을 형성하기 때문이다. 이에 따라, 도면에 나타난 바와 같이 하부 실리콘 기판(110) 상에는 굴곡을 갖는 제1 이온 주입 영역(120)이 형성되고 이의 상부에는 상부 실리콘 기판(130)이 형성된다.

<56> 이러한 제1 산소 이온 주입 공정의 $0.21 \mu\text{m}$ 선폭의 소자에 대한 구체적인 이온 주입 조건은 320

2^+ , 에너지값이 60~80 KeV 범위이고, 제1 도즈량이 $1 \times 10^{18} \sim 8 \times 10^{18} \text{cm}^{-2}$ 범위이다. 다른 종류의 소자에 대하여는 상이한 조건을 적용해야 하는데, 예컨대, 소자의 선폭이 $0.14 \mu\text{m}$ 이하인 경우에는 이보다 더 적은 에너지값 즉, 60KeV 정도의 에너지값과 동일한 도즈량의 이온 주입 조건으로 수행할 수 있다.

<57> 도 3c를 참고로 하면, 제1 이온 주입 영역(120)의 상부에서 활성 영역의 측면에 절연막을 형성하기 위하여 상기 제1 이온 주입 공정의 수행후에 희생막 패턴을 그대로 둔 채로 연속적으로 제2 이온 주입 공정을 수행하여 희생막 패턴이 형성되지 않은 기판의 상부, 상기 제1 이온 주입 영역(120) 상에 제2 이온 주입 영역(132)을 형성하도록 한다. 이러한 이온 주입 공정을 수행하여 제1 이온 주입 영역(120) 중에서 깊이가 깊은 영역의 상부에 제1 이온 주입 공정시에 적용된 에너지값 보다 적은 에너지값으로 제2 이온 주입 공정을 수행하여 제2 이온 주입 영역(132)을 형성하도록 한다. 제1 및 제2 이온 주입 영역(120, 132)이 합해지면 기판의 상부, 포토레지스트 패턴(112)의 하부에 이온이 주입되지 않은 영역이 형성된다.

<58> 제2 이온 주입 공정에 의해 소정의 깊이와 두께를 갖는 제2 이온 주입 영역(132)을 형성하기 위해서는 포토레지스트 패턴(112)이 형성된 영역의 하부에 존재하는 기판상에는 이온이 주입되지 않고, 포토레지스트 패턴(112)이 형성되지 않은 영역에 존재하는 기판의 상부에는 이온이 주입되도록 하기 위하여 적절한 조건을 선택해야 한다. 즉, 도면에 나타난 바와 같이 포토레지스트 패턴(112)이 형성된 영역에서는 포토레지스트 패턴(112) 내에 이온이 주입되도록 하여 기판으로의 이온 주입이 방지되며, 포토레지스트 패턴(112)이 형성되지 않은 영역에서는 기판의 상부 영역 중에서, 제1 이온 주입 영역(120)의 상부에 이온이 주입되도록 해야 하는 것이다.

- <59> 상기 제2 산소 이온 주입 공정의 바람직한 조건은 320_2^+ , 에너지값이 20KeV 이하이고, 제2 도즈량이 $1 \times 10^{18} \sim 8 \times 10^{18} \text{cm}^{-2}$ 범위가 되도록 한다. 또한, 상기 제1 및 제2 산소 이온 주입 공정에서, 두 번의 이온 주입 공정에 의해 형성되는 제1 및 제2 이온 주입 영역의 용이한 형성과 연속성의 부여를 위하여 이온 주입은 수직 방향으로 수행하도록 한다. 즉, 0° 또는 거의 0° 의 각도가 되도록 수행하며 최대한 10° 가 넘지않도록 하는 것이 바람직하다.
- <60> 도 3d를 참고하면, 두 번의 연속적인 이온 주입 공정을 수행하고 포토레지스트 패턴(112)을 제거한 후, 산화 분위기하에서 열처리 하는 것에 의해 하부 실리콘 기판(110)의 상부에 베리드 산화막을 형성하여 이로 이루어진 필드 영역(140)과 이의 상부에 형성된 활성 영역(150)의 구조를 갖는 SOI 기판을 제조하게 된다.
- <61> 열처리는 산화 분위기하에서 $1100 \sim 1300^\circ\text{C}$ 의 온도 범위에서 2~7 시간 동안 수행하도록 하는 것이 바람직하다. 이러한 산화 분위기는 아르곤과 산소의 혼합가스 분위기로 형성할 수 있다.
- <62> 이러한 열처리를 통하여 불순물 주입 영역은 산화막의 절연막이 되며 각진 모양이 확산에 의해 완만하게 된다. 특히, 웨이퍼 자체의 응력이 계면에 모이게 되어 각진 부분에는 스트레스가 모이게 된다. 이에 따라 모서리 부분에서 누설 전류가 발생할 확률이 높아지는데 열처리 모서리 부분이 완만해지면 누설 전류의 방지면에서 유리하다.
- <63> 도 4에는 본 발명의 일실시예에 따른 SOI 기판에서 활성영역과 필드영역을 나타내기 위한 상면도를 나타내었다. 도면을 통하여 알 수 있는 바와 같이, 각 활성 영역(152)의 측면 및 하부는 필드 영역(145)에 의해 완벽하게 분리되어 있다.

- <64> 이렇게 제조된 SOI 기판의 활성 영역상에 통상의 공정에 따라 게이트 절연막, 게이트 전극, 소오스, 드레인 등을 차례로 형성하여 SOI 기판상에 MOS 트랜지스터를 형성하게 된다.
- <65> 도 5 및 도 6에는 본 발명의 다른 실시예 및 또 다른 실시예에 따라 제조된 SOI 기판의 활성영역을 나타내는 상면도를 나타내었다. 본 발명의 방법에 의하면 희생막 패턴의 형상을 변형하는 것에 의해 활성 영역의 형상을 용이하게 변형할 수 있게 된다. 예컨대, 도 5에 나타난 바와 같이 메인부(154a)와 돌출부(154b)로 이루어진 활성 영역(154)의 형상으로도 제조할 수 있고 도 6에 나타난 바와 같이 측면에 돌출부가 형성된 활성 영역(156)의 형상으로도 제조할 수 있는 것이다.
- <66> 고집적된 원하는 칩이 제조되는 메인 회로를 얻기 위해서는 이와 별도로 여러 가지 주변 회로를 제조해야 한다. 이러한 주변 회로 영역에는 다양한 형상의 활성 영역이 요구되는데, 본 발명의 방법에 의하면 마스크 패턴의 형상을 변형하는 것에 의해 이와 같이 다양한 형상의 활성 영역을 형성할 수 있는 것이다.
- <67> 도 7은 도 5에 나타난 활성영역을 예로하여 본 발명의 효과를 설명하기 위하여 나타낸 정면도이다. 활성 영역(154)을 본 발명의 방법에 따라 제조하는 경우의 잇점을 도 7를 참고하고 DRAM 소자를 예로하여 설명하면 다음과 같다.
- <68> DRAM 소자에는 다수의 게이트 전극, 다수의 비트 라인 등이 형성된다. 상기 비트라인과 게이트 전극의 불순물 도핑 영역과의 접속을 위하여 디렉트 콘택홀이 형성되고 상기 게이트 전극의 불순물 도핑 영역과 상부 커패시터와의 접속을 위한 다수의 베리드 콘택홀이 디렉트 콘택홀 사이에 형성된다. 이 경우, 최근 집적도의 향상으로 인하여 소자의 선폭이 작아짐에 따라, 인접 베리드 콘택홀과의 간섭 등의 문제를 고려하여 도 7의

활성 영역에서 돌출부와 같은 영역을 별도로 지정해 줄 수 있다.

<69> 그런데, 이러한 형상의 활성 영역을 종래의 방법에 따라 다수의 공정 스텝을 수행하여 형성하면 도 7에 나타난 바와 같이 154'로 표현된 위치로 쉬프트되는 경우가 있다. 이 경우 디렉트 콘택홀(160)을 형성하면 접속 영역이 반 정도로 줄어들기 때문에 저항값이 커질 수밖에 없다. 그러나, 본 발명에 의하면 연속된 두 번의 이온 주입 공정에 의해 활성 영역이 형성되기 때문에 활성 영역이 쉬프트되는 문제가 발생하지 않게 되는 것이다.

【발명의 효과】

<70> 이상과 같은 본 발명에 의하면, 웨이퍼의 원하는 깊이에 산소 이온을 주입하고 열처리하는 것에 의해 용이하게 SOI 기판을 형성할 수 있으며, 이와 동시에 활성 영역과 필드 영역도 형성할 수 있게 되므로 공정 자체가 단순화되어 SOI 기판의 제조가 용이하다.

<71> 또한 상기한 활성 영역의 구획은 별도의 마스크 없이 포토레지스트 패턴을 이용한 이온 주입 공정을 수행함으로써 가능하게 되므로, 활성 영역 형성의 측면에서도 그 제조가 매우 용이하며 다양한 형상의 활성 영역 형성이 가능하다.

<72> 이상에서는 본 발명의 실시예에 따라 본 발명이 설명되었지만, 본 발명의 사상을 일탈하지 않는 범위 내에서 다양한 변형이 가능함은 본 발명이 속하는 기술 분야의 당업자라면 명확히 인지할 수 있을 것이다.

【특허청구범위】**【청구항 1】**

상부에 활성 영역과 필드 영역을 포함하는 실리콘 기판;

상기 활성 영역의 하부, 실리콘 기판의 표면으로부터 소정의 제1 깊이를 갖는 제1 영역에 제1 두께로 형성된 제1 산소 이온 주입 영역; 및

상기 필드 영역의 하부, 실리콘 기판의 표면으로부터 소정의 제2 깊이를 갖는 제2 영역에 상기 제1 두께보다 두꺼운 제2 두께로 형성된 제2 산소 이온 주입 영역을 포함하는 SOI(silicon on insulator) 기판.

【청구항 2】

제1항에 있어서, 상기 기판상의 활성 영역과 필드 영역의 표면이 동일 평면상에 형성된 것을 특징으로 하는 SOI 기판.

【청구항 3】

제1항에 있어서, 상기 제1 깊이 및 제2 깊이가 동일한 것을 특징으로 하는 SOI 기판.

【청구항 4】

제1항에 있어서, 상기 제1 깊이 및 제2 깊이가 $0.07 \sim 0.7 \mu\text{m}$ 범위인 것을 특징으로 하는 SOI 기판.

【청구항 5】

제1항에 있어서, 상기 제2 두께가 상기 제1 두께의 2~3.5배인 것을 특징으로 하는 SOI 기판.

【청구항 6】

제1항에 있어서, 상기 제1 두께가 $0.04 \sim 0.6 \mu\text{m}$ 범위이고, 상기 제2 두께가 $0.14 \sim 1.4 \mu\text{m}$ 범위인 것을 특징으로 하는 SOI 기판.

【청구항 7】

실리콘 기판의 상부, 활성 영역이 형성될 소정의 영역상에 희생막 패턴을 형성하는 단계;

상기 희생막 패턴이 형성된 실리콘 기판의 전면에 제1 에너지와 도즈량으로 제1 산소 이온 주입 공정을 수행하여 상기 실리콘 기판 내의 소정 영역에 띠형상으로 제1 산소 이온 주입 영역을 형성하는 단계;

상기 제1 산소 이온 주입 공정의 수행후, 상기 제1 에너지 보다 적은값의 제2 에너지와 도즈량으로 제2 산소 이온 주입 공정을 수행하여, 상기 희생막 패턴에 의해 노출된 기판의 상부, 상기 제1 산소 이온 주입 영역 상에 제2 산소 이온 주입 영역을 형성하는 단계;

상기 제2 산소 이온 주입 공정의 수행후, 상기 희생막 패턴을 제거하는 단계; 및

상기 희생막 패턴이 제거된 기판을 열처리하여 상기 제1 산소 이온 주입 영역 및 상기 제2 산소 이온 주입 영역을 산화시켜 절연막으로 형성하는 단계를 포함하는 SOI(silicon on insulator) 기판의 제조방법.

【청구항 8】

제7항에 있어서, 상기 제1 산소 이온 주입 공정의 조건이 320_2^+ , 에너지값이 $60 \sim$

80 KeV 범위이고, 제1 도즈량이 $1 \times 10^{18} \sim 8 \times 10^{18} \text{cm}^{-2}$ 범위인 것을 특징으로 하는 SOI 기판의 제조방법.

【청구항 9】

제7항에 있어서, 상기 제2 산소 이온 주입 공정의 조건이 32O_2^+ , 에너지값이 20KeV 이하이고, 제2 도즈량이 $1 \times 10^{18} \sim 8 \times 10^{18} \text{cm}^{-2}$ 범위인 것을 특징으로 하는 SOI 기판의 제조방법.

【청구항 10】

제7항에 있어서, 상기 열처리가 산화 분위기하에서 $1100 \sim 1300^\circ\text{C}$ 의 온도 범위에서 2~7 시간 동안 수행되는 것을 특징으로 하는 SOI 기판의 제조방법.

【청구항 11】

제10항에 있어서, 상기 산화 분위기는 아르곤과 산소의 혼합가스 분위기인 것을 특징으로 하는 SOI 기판의 제조방법.

【청구항 12】

제7항에 있어서, 상기 희생막 패턴이 포토레지스트 패턴, 폴리이미드막 패턴 또는 SOG막 패턴인 것을 특징으로 하는 SOI 기판의 제조방법.

【청구항 13】

제7항에 있어서, 상기 희생막은 상기 제1 산소 이온 주입 공정의 수행시에는 산소 이온이 상기 희생막을 통과하고, 상기 제2 산소 이온 주입 공정의 수행시에는 산소 이온이 상기 희생막을 통과하지 못하는 정도의 두께로 형성되는 것을 특징으로 하는 SOI 기판의 제조방법.

【청구항 14】

제7항에 있어서, 상기 희생막의 두께는 $0.05 \sim 0.5 \mu\text{m}$ 범위인 것을 특징으로 하는 SOI 기판의 제조방법.

【청구항 15】

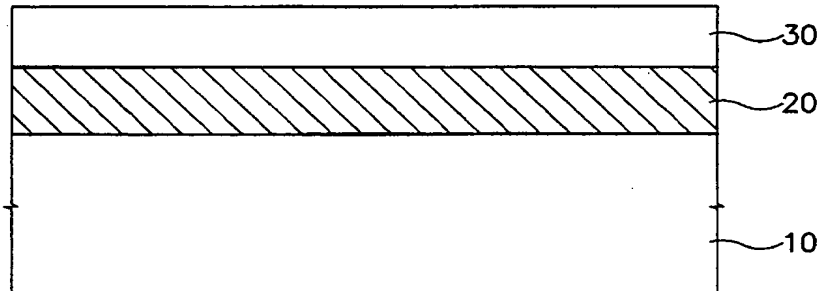
제7항에 있어서, 상기 제1 및 제2 산소 이온 주입 공정에서, 이온 주입 각도는 0° 인 것을 특징으로 하는 SOI 기판의 제조방법.

【청구항 16】

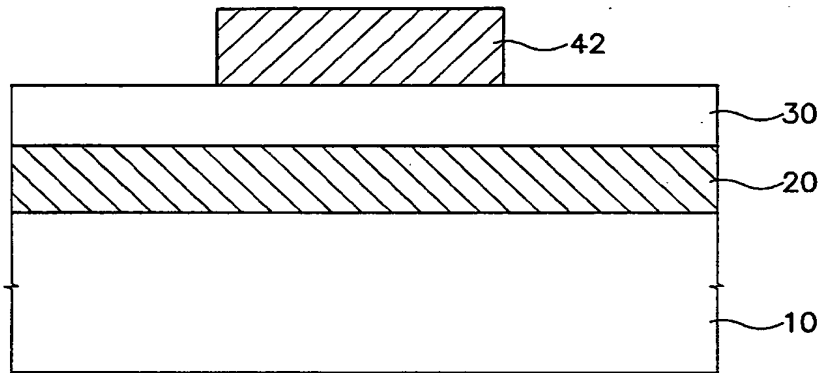
제7항에 있어서, 상기 제1 및 제2 산소 이온 주입 공정은 연속적으로 수행되는 것을 특징으로 하는 SOI 기판의 제조방법.

【도면】

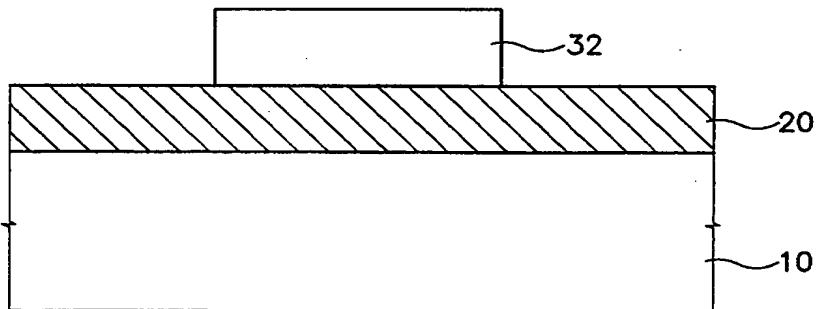
【도 1a】



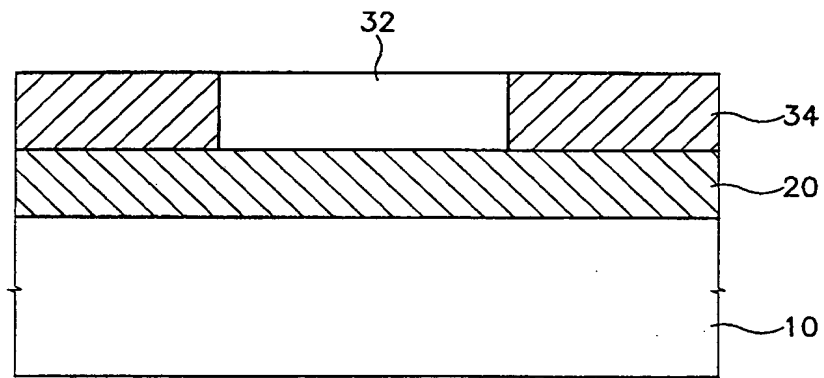
【도 1b】



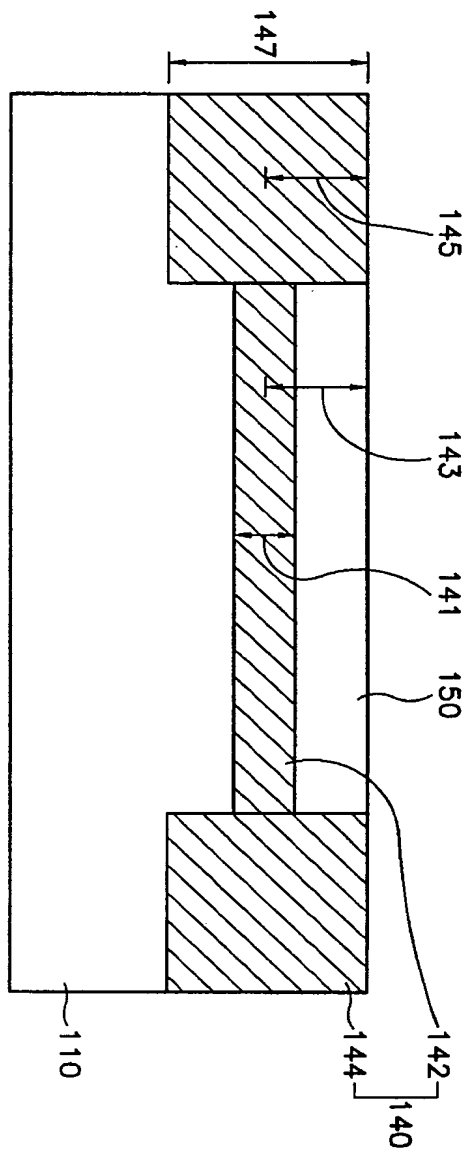
【도 1c】



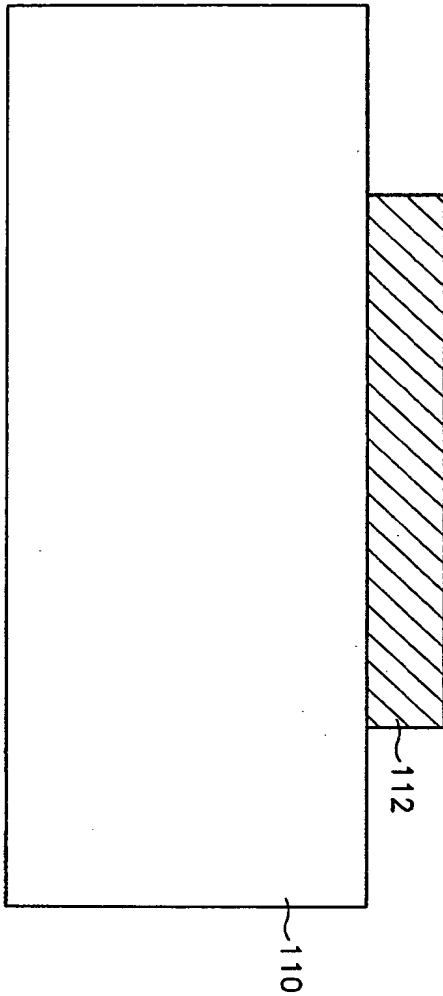
【도 1d】



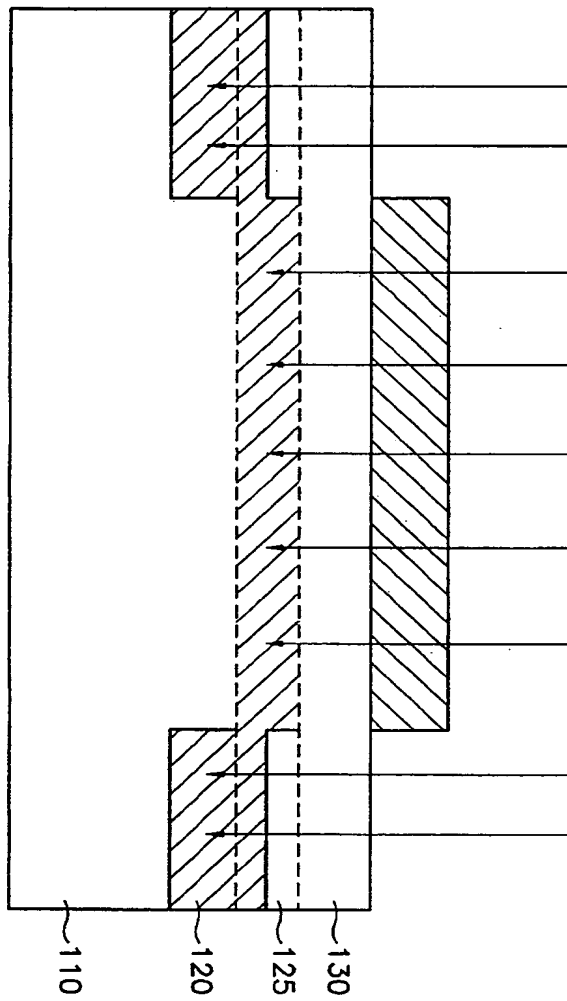
【도 2】



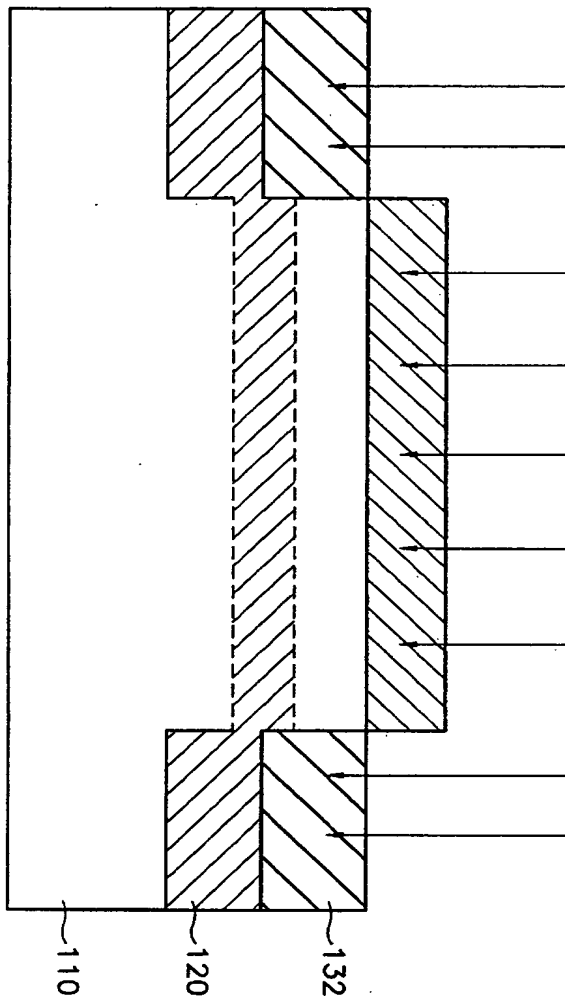
【도 3a】



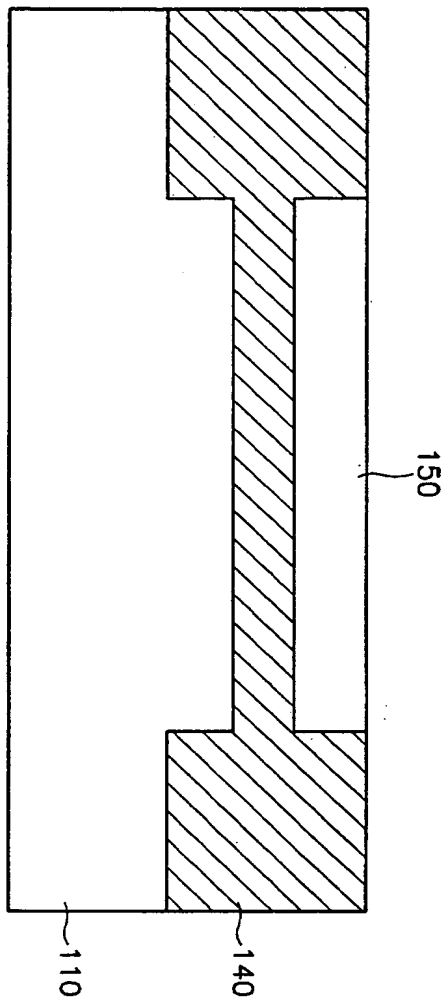
【도 3b】



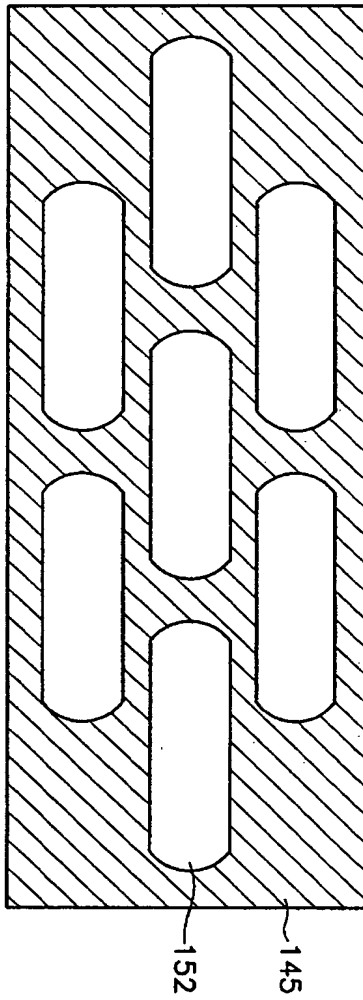
【도 3c】



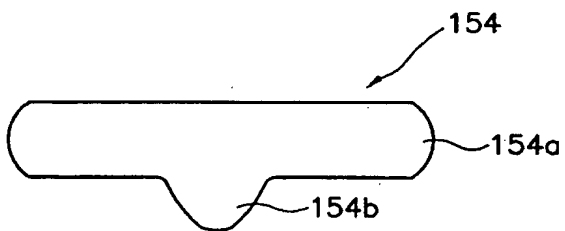
【도 3d】



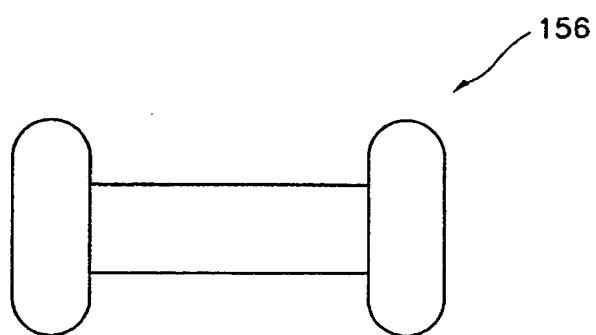
【도 4】



【도 5】



【도 6】



【도 7】

